



(19)

(11) Publication number:

11136120 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09301889

(51) Int. Cl.: H03K 19/0185

(22) Application date: 04.11.97

(30) Priority:

(43) Date of application
publication: 21.05.99

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: SHIMIZU YASUHIDE

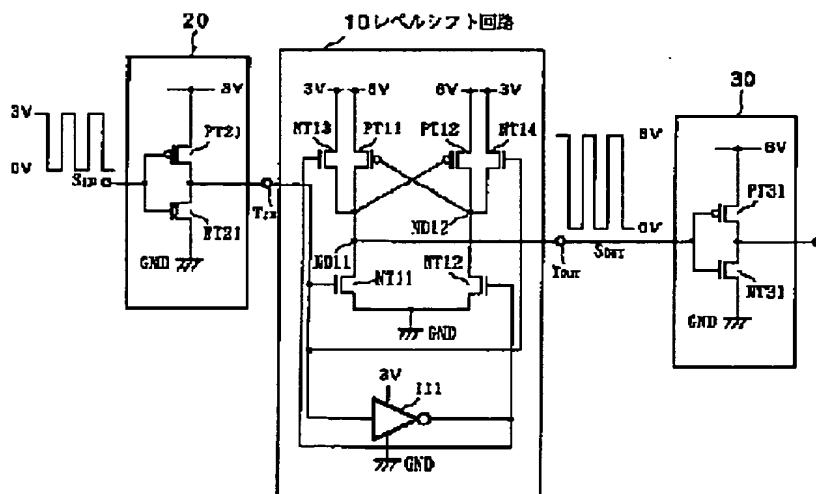
(74) Representative:

(54) LEVEL SHIFT CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a level shift circuit capable of reducing a circuit scale as well as a conversion delay at the time of signal level conversion, of performing a high-speed operation, with a wider operation voltage range and coping with a low voltage operation as well.

SOLUTION: This circuit is provided with a first transistor NT13 connected between a voltage source and an output terminal T1N, a second transistor PT11 connected between the voltage source and the output terminal T1N, a third transistor PT12 connected between the voltage source and the gate of the second transistor, a fourth transistor NT14 connected between the voltage source and the gate of the second transistor, a fifth transistor NTA15 connected between the ground and the output terminal T1N and a sixth transistor NT16 connected between the ground and the gate of the second transistor. Then, the connection point of the output terminal and the first, second and fifth transistors is connected to the gate of the third transistor, while the gate of the forth and fifth transistors is connected to an input terminal T1N and the inverted signals of input signals to the input terminal are supplied to the gate of the first and sixth transistors.



(51) Int.Cl.⁸
H 0 3 K 19/0185

識別記号

F I
H 0 3 K 19/00

101 E

審査請求 未請求 請求項の数23 OL (全 17 頁)

(21)出願番号 特願平9-301889
(22)出願日 平成9年(1997)11月4日

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 清水 泰秀
長崎県諫早市津久葉町1883番43 ソニー長崎
崎株式会社内

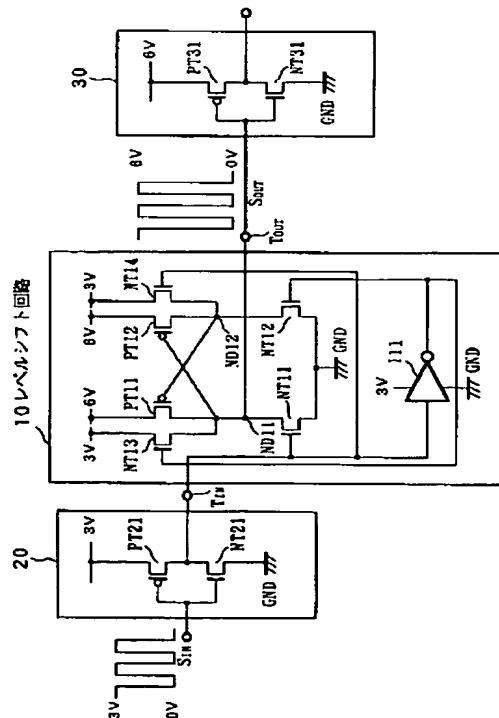
(74)代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【課題】回路面積、信号レベル変換時の変換遅延が小さく、高速動作が可能で動作電圧範囲も広く、低電圧動作にも対応できるレベルシフト回路を提供する。

【解決手段】電圧Va源と出力端子TIN間に接続された第1のトランジスタNT13と、電圧Vc源と出力端子TIN間に接続された第2のトランジスタPT11と、電圧Vc源と第2のトランジスタのゲート間に接続された第3のトランジスタPT12と、電圧Va源と第2のトランジスタのゲート間に接続された第4のトランジスタNT14と、接地と出力端子TIN間に接続された第5のトランジスタNT15と、接地と第2のトランジスタのゲート間に接続された第6のトランジスタNT16とを有し、出力端子と第1、第2および第5のトランジスタの接続点を第3のトランジスタのゲートに接続し、第4、第5のトランジスタのゲートを入力端子TINに接続し、第1、第6のトランジスタのゲートに入力端子への入力信号の反転信号を供給する。



【特許請求の範囲】

【請求項1】 入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、上記第1の電源電圧源と第1のノードとの間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第3の電源電圧源と第1のノードとの間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第3の電源電圧源と第2のノードとの間に接続された第2の導電型チャンネルの第3のトランジスタと、上記第1の電源電圧源と上記第2のノードとの間に接続された第1の導電型チャンネルの第4のトランジスタと、

上記第2または第4の電源電圧源のいずれかと上記第1のノードとの間に接続された第1の導電型チャンネルの第5のトランジスタと、

上記第2または第4の電源電圧源のいずれかと上記第2のノードとの間に接続された第1の導電型チャンネルの第6のトランジスタと、

を有し、

上記第1のノードが上記第3のトランジスタのゲートに接続され、上記第2のノードが上記第2のトランジスタのゲートに接続され、

上記第4および第5のトランジスタのゲートが上記入力端子に接続され、

上記第1および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、

上記第1のノードおよび第2のノードのいずれかが上記出力端子に接続されているレベルシフト回路。

【請求項2】 上記第1の導電型チャンネルはNチャンネルであり、上記第2の導電型チャンネルにPチャンネルである請求項1記載のレベルシフト回路。

【請求項3】 上記第1の導電型チャンネルはPチャンネルであり、上記第2の導電型チャンネルにNチャンネルである請求項1記載のレベルシフト回路。

【請求項4】 上記第3の電源電圧は第1の電源電圧より高く、上記第2および第4の電源電圧は接地電圧である請求項1記載のレベルシフト回路。

【請求項5】 上記第3の電源電圧は第1の電源電圧より高く、上記第2および第4の電源電圧は接地電圧である請求項2記載のレベルシフト回路。

【請求項6】 上記第5および第6のトランジスタは第4の電源電圧源に接続され、

上記第3の電源電圧は第1の電源電圧より高い請求項1記載のレベルシフト回路。

【請求項7】 上記第5および第6のトランジスタは第4の電源電圧源に接続され、

上記第3の電源電圧は第1の電源電圧より高い請求項2記載のレベルシフト回路。

【請求項8】 入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、上記第4の電源電圧源と第1のノードとの間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第2の電源電圧源と上記第1のノードとの間に接続された第2の導電型チャンネルの第2のトランジスタと、

10 上記第4の電源電圧源と第2のノードとの間に接続された第1の導電型チャンネルの第3のトランジスタと、上記第2の電源電圧源と上記第2のノードとの間に接続された第2の導電型チャンネルの第4のトランジスタと、

上記第3の電源電圧源と上記第1のノードとの間に接続された第2の導電型チャンネルの第5のトランジスタと、

上記第3の電源電圧源と上記第2のノードとの間に接続された第2の導電型チャンネルの第6のトランジスタと、

20 上記第1のノードが上記第3のトランジスタのゲートに接続され、上記第2のノードが上記第1のトランジスタのゲートに接続され、

上記第4および第5のトランジスタのゲートが上記入力端子に接続され、

上記第2および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、

上記第1のノードおよび第2のノードのいずれかが上記出力端子に接続されているレベルシフト回路。

【請求項9】 上記第1の導電型チャンネルはNチャンネルであり、上記第2の導電型チャンネルにPチャンネルである請求項8記載のレベルシフト回路。

【請求項10】 上記第1の導電型チャンネルはPチャンネルであり、上記第2の導電型チャンネルにNチャンネルである請求項8記載のレベルシフト回路。

【請求項11】 上記第4の電源電圧は上記第2の電源電圧以下である請求項8記載のレベルシフト回路。

【請求項12】 上記第4の電源電圧は上記第2の電源電圧以下である請求項9記載のレベルシフト回路。

【請求項13】 回路入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、回路出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、

正転出力端子および反転出力端子と、上記第1の電源電圧源と上記正転出力端子との間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第3の電源電圧源と上記正転出力端子との間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第3の電

50

源電圧源と上記反転出力端子との間に接続された第2の導電型チャンネルの第3のトランジスタと、上記第1の電源電圧源と上記反転出力端子との間に接続された第1の導電型チャンネルの第4のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記正転出力端子との間に接続された第1の導電型チャンネルの第5のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記反転出力端子との間に接続された第1の導電型チャンネルの第6のトランジスタとを有し、上記正転出力端子と上記第1、第2および第5のトランジスタとの共通接続点が上記第3のトランジスタのゲートに接続され、上記反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第2のトランジスタのゲートに接続されたレベルシフトステージを複数段備え、

前段のレベルシフトステージの上記正転出力端子が後段のレベルシフトステージの上記第4および第5のトランジスタのゲートに接続され、前段のレベルシフトステージの上記反転出力端子が後段のレベルシフトステージの上記第1および第6のトランジスタのゲートに接続され、

初段のレベルシフトステージの上記第4および第5のトランジスタのゲートが上記回路入力端子に接続され、上記第1および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、

最終段のレベルシフトステージの正転出力端子または反転出力端子のいずれかが上記回路出力端子に接続されているレベルシフト回路。

【請求項14】 上記第1の導電型チャンネルはNチャンネルであり、上記第2の導電型チャンネルにPチャンネルである請求項13記載のレベルシフト回路。

【請求項15】 上記第3の電源電圧は第1の電源電圧より高い請求項13記載のレベルシフト回路。

【請求項16】 上記第5および第6のトランジスタは第4の電源電圧源に接続され、

上記第3の電源電圧は第1の電源電圧より高い請求項13記載のレベルシフト回路。

【請求項17】 回路入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、回路出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、正転出力端子および反転出力端子と、上記第4の電源電圧源と上記正転出力端子との間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第2の電源電圧源と上記正転出力端子との間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第4の電源電圧源と上記反転出力端子との間に接続された第1の導電型チャンネルの第3のトランジスタと、上記第2の電源電圧源と上記反転出力端子との間に接続された第2の導電型チャンネルの第4のトランジスタ

と、上記第3の電源電圧源と上記正転出力端子との間に接続された第2の導電型チャンネルの第5のトランジスタと、上記第3の電源電圧源と上記反転出力端子との間に接続された第2の導電型チャンネルの第6のトランジスタとを有し、上記正転出力端子と上記第1、第2および第5のトランジスタとの共通接続点が上記第3のトランジスタのゲートに接続され、上記反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第1のトランジスタのゲートに接続されたレベルシ

10 フトステージを複数段備え、

前段のレベルシフトステージの上記正転出力端子が後段のレベルシフトステージの上記第4および第5のトランジスタのゲートに接続され、前段のレベルシフトステージの上記反転出力端子が後段のレベルシフトステージの上記第2および第6のトランジスタのゲートに接続され、

初段のレベルシフトステージの上記第4および第5のトランジスタのゲートが上記回路入力端子に接続され、上記第2および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、

20 最終段のレベルシフトステージの正転出力端子または反転出力端子のいずれかが上記回路出力端子に接続されているレベルシフト回路。

【請求項18】 上記第1の導電型チャンネルはNチャンネルであり、上記第2の導電型チャンネルにPチャンネルである請求項17記載のレベルシフト回路。

【請求項19】 上記第4の電源電圧は上記第2の電源電圧以下である請求項17記載のレベルシフト回路。

【請求項20】 回路入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、回路出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、

第1の正転出力端子および第1の反転出力端子と、上記第1の電源電圧源と上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第3の電源電圧源と上記第1の正転出力端子との間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第3の電源電圧源と上記第1の反転出

40 力端子との間に接続された第2の導電型チャンネルの第3のトランジスタと、上記第1の電源電圧源と上記第1の反転出力端子との間に接続された第1の導電型チャンネルの第4のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第5のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第1の反転出力端子との間に接続された第1の導電型チャンネルの第6のトランジスタとを有し、上記第1の正転出力端子と上記第1、第2および第5のトランジス

50 タとの共通接続点が上記第3のトランジスタのゲートに接続された

接続され、上記第1の反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第2のトランジスタのゲートに接続された第1のレベルシフトステージと、

第2の正転出力端子および第2の反転出力端子と、上記第4の電源電圧源と上記第2の正転出力端子との間に接続された第1の導電型チャンネルの第7のトランジスタと、上記第2の電源電圧源と上記第2の正転出力端子との間に接続された第2の導電型チャンネルの第8のトランジスタと、上記第4の電源電圧源と上記第2の反転出力端子との間に接続された第1の導電型チャンネルの第9のトランジスタと、上記第2の電源電圧源と上記第2の反転出力端子との間に接続された第2の導電型チャンネルの第10のトランジスタと、上記第3の電源電圧源と上記第2の正転出力端子との間に接続された第2の導電型チャンネルの第11のトランジスタと、上記第3の電源電圧源と上記第2の反転出力端子との間に接続された第2の導電型チャンネルの第12のトランジスタとを有し、上記第2の正転出力端子と上記第7、第8および第11のトランジスタとの共通接続点が上記第9のトランジスタのゲートに接続され、上記第2の反転出力端子と上記第9、第10および第12のトランジスタとの共通接続点が上記第7のトランジスタのゲートに接続された第2のレベルシフトステージとを備え、

第1のレベルシフトステージの上記第1の正転出力端子が第2のレベルシフトステージの上記第10および第11のトランジスタのゲートに接続され、第1のレベルシフトステージの上記第1の反転出力端子が第2のレベルシフトステージの上記第8および第12のトランジスタのゲートに接続され、

第1のレベルシフトステージの上記第4および第5のトランジスタのゲートが上記回路入力端子に接続され、上記第1および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、

第2のレベルシフトステージの第2の正転出力端子または第2の反転出力端子のいずれかが上記回路出力端子に接続されているレベルシフト回路。

【請求項21】 上記第1の導電型チャンネルはNチャネルであり、上記第2の導電型チャンネルにPチャネルである請求項20記載のレベルシフト回路。

【請求項22】 回路入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、回路出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であつて、

第1の正転出力端子および第1の反転出力端子と、上記第4の電源電圧源と上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第2の電源電圧源と上記第1の正転出力端子との間に接続された第2の導電型チャンネルの第2のトランジ

ンジスタと、上記第4の電源電圧源と上記第1の反転出力端子との間に接続された第1の導電型チャンネルの第3のトランジスタと、上記第2の電源電圧源と上記第1の反転出力端子との間に接続された第2の導電型チャンネルの第4のトランジスタと、上記第3の電源電圧源と上記第1の正転出力端子との間に接続された第2の導電型チャンネルの第5のトランジスタと、上記第3の電源電圧源と上記第1の反転出力端子との間に接続された第2の導電型チャンネルの第6のトランジスタとを有し、上記第1の正転出力端子と上記第1、第2および第5のトランジスタとの共通接続点が上記第3のトランジスタのゲートに接続され、上記第1の反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第1のトランジスタのゲートに接続された第1のレベルシフトステージと、

第2の正転出力端子および第2の反転出力端子と、上記第1の電源電圧源と上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第7のトランジスタと、上記第3の電源電圧源と上記第2の正転出力端子との間に接続された第2の導電型チャンネルの第8のトランジスタと、上記第3の電源電圧源と上記第2の反転出力端子との間に接続された第2の導電型チャンネルの第9のトランジスタと、上記第1の電源電圧源と上記第2の反転出力端子との間に接続された第1の導電型チャンネルの第10のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第2の正転出力端子との間に接続された第1の導電型チャンネルの第11のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第2の反転出力端子との間に接続された第1の導電型チャンネルの第12のトランジスタとを有し、上記第2の正転出力端子と上記第7、第8および第11のトランジスタとの共通接続点が上記第9のトランジスタのゲートに接続され、上記第2の反転出力端子と上記第9、第10および第12のトランジスタとの共通接続点が上記第8のトランジスタのゲートに接続された第2のレベルシフトステージとを備え、

第1のレベルシフトステージの上記第1の正転出力端子が第2のレベルシフトステージの上記第10および第11のトランジスタとの共通接続点が上記第9のトランジスタのゲートに接続され、上記第2の反転出力端子と上記第7、第9、第10および第12のトランジスタとの共通接続点が上記第8のトランジスタのゲートに接続された第2のレベルシフトステージとを備え、

第1のレベルシフトステージの上記第1の正転出力端子が第2のレベルシフトステージの上記第10および第11のトランジスタのゲートに接続され、第1のレベルシフトステージの上記第1の反転出力端子が第2のレベルシフトステージの上記第7および第12のトランジスタのゲートに接続され、

第1のレベルシフトステージの上記第4および第5のトランジスタのゲートが上記回路入力端子に接続され、上記第2および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、

第2のレベルシフトステージの第2の正転出力端子または第2の反転出力端子のいずれかが上記回路出力端子に接続されているレベルシフト回路。

【請求項23】 上記第1の導電型チャンネルはNチャンネルであり、上記第2の導電型チャンネルにPチャンネルである請求項23記載のレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、レベルシフト回路に関し、特に異なる電源電圧で動作している回路間のインターフェースとして働くレベルシフト回路に関する。

【0002】

【従来の技術】 従来より、電源電圧の異なるロジック回路を接続しようとする場合、一方のロジック回路から出力された信号は受け取る側のロジック回路の論理レベルに合わせてレベルをシフトする必要がある。レベルシフト回路はこののような目的で使用される回路であり、その代表例を以下に示す。

【0003】 図6は、従来のレベルシフト回路の一例を示す回路図である。図6において、レベルシフト回路は入力側の回路の電源電圧（3ボルト）で動作するインバータI1と、出力側の回路の電源電圧（6ボルト）で動作する四つのトランジスタPT1、PT2、NT1、およびNT2とから構成されている。なお、トランジスタPT1およびPT2はpチャンネルMOS（PMOS）トランジスタにより構成され、トランジスタNT1およびNT2はnチャンネルMOS（NMOS）トランジスタにより構成される。

【0004】 入力端子TINはトランジスタNT1のゲートおよびインバータI1の入力に接続され、このインバータI1の出力はトランジスタNT2のゲートに接続されている。トランジスタNT1のソースは接地され、ドレインは出力端子TOUT、トランジスタPT1のドレイン、およびトランジスタPT2のゲートに接続されている。そして、トランジスタNT2のソースは接地され、ドレインはトランジスタPT2のドレインとトランジスタPT1のゲートに接続されている。なお、この例では、入力信号SINの論理レベルは、ハイ（H）レベルが3ボルト、ロー（L）レベルが0ボルト、出力信号SOUTの論理レベルはハイ（H）レベルが6ボルト、ロー（L）レベルが0ボルトとしてある。

【0005】 このような構成において、入力信号SINの論理レベルがHの場合、トランジスタNT1はオンになるので、トランジスタPT2のゲートの電位は下がり、これにより、トランジスタPT2のドレインの電位は上昇する。このとき、トランジスタPT1はそのゲートの電位が上昇するので、出力端子TOUTの電位を一層確実に下げる働きをし、出力端子TOUTにはLレベルの信号SOUTが出力される。また、インバータI1は入力電位が高いので、その出力は0ボルトとなり、トランジスタNT2はオフになっている。

【0006】 逆に、入力信号SINの論理レベルがLになると、トランジスタNT1がオフになり、インバータI

1はレベルを反転して出力電位を3ボルトにする。すると、トランジスタNT2がオンになり、トランジスタPT1のゲートの電位を下げる。これにより、トランジスタPT1のドレインの電位が上昇し、出力端子TOUTにはHレベルの信号SOUTが出力される。このとき、トランジスタNT2はそのゲートの電位が上昇するので、そのドレイン電位（トランジスタPT1のゲートの電位）を一層確実に下げる働きをしている。このようにして、このレベルシフト回路は、電源電圧が3ボルトのロジック回路からの入力信号SINをHの論理レベルが6ボルトの出力信号SOUTに変換することができる。

【0007】 図7は従来のレベルシフト回路の別の例を示す回路図である。図7のレベルシフト回路は、入力側の回路の電源電圧（3ボルト）で動作するインバータI1と、出力側の回路の電源電圧（6ボルト）で動作する六つのトランジスタPT1、PT2、PT3、PT4、NT1、NT2とから構成されている。

【0008】 図7のレベルシフト回路は図6のレベルシフト回路の構成に加えて、トランジスタPT1のソースと6Vの電源電圧の供給ラインとの間にPMOSトランジスタからなるトランジスタPT3を直列に接続し、トランジスタPT2のソースと6Vの電源電圧の供給ラインとの間にPMOSトランジスタからなるトランジスタPT4を直列に接続している。そして、トランジスタPT3のゲートが入力端子TINに接続され、トランジスタPT4のゲートがインバータI1の出力に接続されている。

【0009】 このような構成において、入力信号SINの論理レベルがHの場合、トランジスタPT3のゲート電位は上がり、トランジスタNT1はオンになるので、トランジスタPT2のゲート電位は下がり、これにより、トランジスタPT2のドレイン（トランジスタPT2とトランジスタNT2の共通の接続点）の電位が上昇する。このとき、トランジスタPT1はそのゲート電位が上昇するので、出力端子TOUTの電位を一層確実に下げる働きをし、出力端子TOUTにはLレベルの信号SOUTが出力される。また、インバータI1は入力電位が高いので、その出力は0ボルトとなり、トランジスタNT2はオフ、トランジスタPT4はオンになっている。

【0010】 逆に、入力信号SINの論理レベルがLになると、トランジスタPT3のゲート電位は下がり、トランジスタNT1はオフになり、インバータI2はレベルを反転して出力電位を3ボルトにする。すると、トランジスタPT4のゲート電位は上がり、トランジスタNT2がオンになるので、トランジスタPT1のゲートの電位が下がる。これにより、PT1のドレインの電位が上昇し、出力端子TOUTにはHレベルの信号SOUTが出力される。このとき、トランジスタPT2はそのゲートの電位が上昇するので、トランジスタPT1のゲートの電位を一層確実に下げる働きをしている。

【0011】このレベルシフト回路では、入力信号S INにより、トランジスタNT 1とトランジスタNT 2だけでなく、トランジスタPT 3とトランジスタPT 4も直接駆動されることから、動作電圧に対して、これらのトランジスタサイズを調整することにより、このレベルシフト回路のレベル変換時に起きる入力信号の遅延を改善できる。このようにして、このレベルシフト回路は、電源電圧が3ボルトのロジック回路からの入力信号S INをHの論理レベルが6ボルトの出力信号S OUTに変換することができる。

【0012】

【発明が解決しようとする課題】しかし、図6に示したレベルシフト回路では、入力信号で直接駆動されるトランジスタはトランジスタNT 1、NT 2のみであることから、レベルシフト回路の動作能力は低い。このため入力信号のレベル変換時に、変換された信号に大きな遅延(変化遅延)を生じ、出力側回路に悪影響を及ぼす。あるいは、異電源回路間でその電源電圧差が大きい場合は、動作できなくなる。つまり図6に示したレベルシフト回路では、異なる電源電圧で動作する高速ロジック回路間のインターフェースには用いることができず、また動作電圧範囲も狭い。

【0013】一方、図7に示したレベルシフト回路では、入力信号により、トランジスタNT 1とトランジスタNT 2だけでなく、トランジスタPT 3とトランジスタPT 4も直接駆動されることから、動作電圧に対して、これらのトランジスタサイズを調節することにより、このレベルシフト回路のレベル変換時に起きる入力信号の遅延を改善できる。これにより、異なる電源電圧で動作する高速ロジック回路間のインターフェースに用いることができる。また動作電圧範囲も広い。ところが、図6で示した回路と比べトランジスタ素子の数が増え、さらに回路の性質上その素子自体のサイズも小さくできないという不利益がある。たとえばデコーダなどのように、一つの回路にいくつもレベルシフト回路を必要とする回路では、レベルシフト回路が占める面積は非常に大きくなってしまうことになる。また、この回路は三段に直列に接続されたトランジスタから構成されているので、動作電圧が低電圧になるに従ってその回路能力は低下し、低電圧動作では図6で示したレベルシフト回路よりも、入力信号の変換遅延がさらに大きくなる場合がある。つまり、図7に示したレベルシフト回路は直列に接続したPMOSトランジスタのために低電圧動作に向きであり、広範囲の電源電圧においては、高速動作が望めない。

【0014】本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路面積をなるべく小さくしながら、従来のレベルシフト回路よりも信号レベル変換時の変換遅延がより小さく、より高速動作が可能で、動作電圧範囲もより広く、さらに低電圧動作にも対応できる

レベルシフト回路を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明は、入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、上記第1の電源電圧源と第1のノードとの間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第3の電源電圧源と第1のノードとの間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第3の電源電圧源と第2のノードとの間に接続された第2の導電型チャンネルの第3のトランジスタと、上記第1の電源電圧源と上記第2のノードとの間に接続された第1の導電型チャンネルの第4のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第1のノードとの間に接続された第1の導電型チャンネルの第5のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第2のノードとの間に接続された第1の導電型チャンネルの第6のトランジスタとを有し、上記第1のノードが上記第3のトランジスタのゲートに接続され、上記第2のノードが上記第2のトランジスタのゲートに接続され、上記第4および第5のトランジスタのゲートが上記入力端子に接続され、上記第1および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、上記第1のノードおよび第2のノードのいずれかが上記出力端子に接続されている。

【0016】また、本発明は、入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、上記第4の電源電圧源と第1のノードとの間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第2の電源電圧源と上記第1のノードとの間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第4の電源電圧源と第2のノードとの間に接続された第1の導電型チャンネルの第3のトランジスタと、上記第2の電源電圧源と上記第2のノードとの間に接続された第2の導電型チャンネルの第4のトランジスタと、上記第3の電源電圧源と上記第1のノードとの間に接続された第2の導電型チャンネルの第5のトランジスタと、上記第3の電源電圧源と上記第2のノードとの間に接続された第2の導電型チャンネルの第6のトランジスタとを有し、上記第1のノードが上記第3のトランジスタのゲートに接続され、上記第2のノードが上記第1のトランジスタのゲートに接続され、上記第4および第5のトランジスタのゲートが上記入力端子に接続され、上記第2および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、上記第1のノードおよび第2のノードのいずれかが上記出

力端子に接続されている。

【0017】また、本発明は、回路入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、回路出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、正転出力端子および反転出力端子と、上記第1の電源電圧源と上記正転出力端子との間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第3の電源電圧源と上記正転出力端子との間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第3の電源電圧源と上記反転出力端子との間に接続された第2の導電型チャンネルの第3のトランジスタと、上記第1の電源電圧源と上記反転出力端子との間に接続された第1の導電型チャンネルの第4のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記正転出力端子との間に接続された第1の導電型チャンネルの第5のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記反転出力端子との間に接続された第1の導電型チャンネルの第6のトランジスタとを有し、上記正転出力端子と上記第1、第2および第5のトランジスタとの共通接続点が上記第3のトランジスタのゲートに接続され、上記反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第2のトランジスタのゲートに接続された、レベルシフトステージを複数段備え、前段のレベルシフトステージの上記正転出力端子が後段のレベルシフトステージの上記第4および第5のトランジスタのゲートに接続され、前段のレベルシフトステージの上記反転出力端子が後段のレベルシフトステージの上記第1および第6のトランジスタのゲートに接続され、初段のレベルシフトステージの上記第4および第5のトランジスタのゲート上記回路入力端子に接続され、上記第1および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、最終段のレベルシフトステージの正転出力端子または反転出力端子のいずれかが上記回路出力端子に接続されている。

子との間に接続された第2の導電型チャンネルの第5のトランジスタと、上記第3の電源電圧源と上記反転出力端子との間に接続された第2の導電型チャンネルの第6のトランジスタとを有し、上記正転出力端子と上記第1、第2および第5のトランジスタとの共通接続点が上記第3のトランジスタのゲートに接続され、上記反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第1のトランジスタのゲートに接続され、前段のレジリエンスコントローラを複数印掛け、前段のレジリエンス

10 シフトステージの上記正転出力端子が後段のレベルシフトステージの上記第4および第5のトランジスタのゲートに接続され、前段のレベルシフトステージの上記反転出力端子が後段のレベルシフトステージの上記第2および第6のトランジスタのゲートに接続され、初段のレベルシフトステージの上記第4および第5のトランジスタのゲートが上記回路入力端子に接続され、上記第2および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、最終段のレベルシフトステージの正転出力端子または反転出力端子のいずれかが上記回路出力端子に接続されている。

20 【0019】また、本発明は、回路入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、回路出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、第1の正転出力端子および第1の反転出力端子と、上記第1の電源電圧源と上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第3の電源電圧源と上記第1の正転出力端子との間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第3の電源電圧源と上記第1の反転出力端子との間に接続された第2の導電型チャンネルの第3のトランジスタと、上記第1の電源電圧源と上記第1の反転出力端子との間に接続された第1の導電型チャンネルの第4のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第5のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第1の反転出力端子との間に接続された第1の導電型チャンネルの第6のトランジスタとを有し、上記第1の正転出力端子と上記第1、第2および第5のトランジスタとの共通接続点が上記第3のトランジスタのゲートに接続され、上記第1の反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第2のトランジスタのゲートに接続された第1のレベルシフトステージと、第2の正転出力端子および第2の反転出力端子と、上記第4の電源電圧源と上記第2の正転出力端子との間に接続された第1の導電型チャンネルの第7のトランジスタと、上記第2の電源電圧源と上記第2の正転出力端子との間に接続された第2の導電型チャンネルの第8のトランジスタと、上記第

30

40

50

4の電源電圧源と上記第2の反転出力端子との間に接続された第1の導電型チャンネルの第9のトランジスタと、上記第2の電源電圧源と上記第2の反転出力端子との間に接続された第2の導電型チャンネルの第10のトランジスタと、上記第3の電源電圧源と上記第2の正転出力端子との間に接続された第2の導電型チャンネルの第11のトランジスタと、上記第3の電源電圧源と上記第2の反転出力端子との間に接続された第2の導電型チャンネルの第12のトランジスタとを有し、上記第2の正転出力端子と上記第7、第8および第11のトランジスタとの共通接続点が上記第9のトランジスタのゲートに接続され、上記第2の反転出力端子と上記第9、第10および第12のトランジスタとの共通接続点が上記第7のトランジスタのゲートに接続された第2のレベルシフトステージとを備え、第1のレベルシフトステージの上記第1の正転出力端子が第2のレベルシフトステージの上記第10および第11のトランジスタのゲートに接続され、第1のレベルシフトステージの上記第1の反転出力端子が第2のレベルシフトステージの上記第8および第12のトランジスタのゲートに接続され、第1のレベルシフトステージの上記第4および第5のトランジスタのゲートが上記回路入力端子に接続され、上記第1および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、第2のレベルシフトステージの第2の正転出力端子または第2の反転出力端子のいずれかが上記回路出力端子に接続されている。

【0020】また、本発明は、回路入力端子が第1および第2の電源電圧で動作する入力側回路の出力と接続され、回路出力端子が上記入力側回路と異なる第3および第4の電源電圧で動作する出力側回路と接続されるレベルシフト回路であって、第1の正転出力端子および第1の反転出力端子と、上記第4の電源電圧源と上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第1のトランジスタと、上記第2の電源電圧源と上記第1の正転出力端子との間に接続された第2の導電型チャンネルの第2のトランジスタと、上記第4の電源電圧源と上記第1の反転出力端子との間に接続された第1の導電型チャンネルの第3のトランジスタと、上記第2の電源電圧源と上記第1の反転出力端子との間に接続された第2の導電型チャンネルの第4のトランジスタと、上記第3の電源電圧源と上記第1の正転出力端子との間に接続された第2の導電型チャンネルの第5のトランジスタと、上記第3の電源電圧源と上記第1の反転出力端子との間に接続された第2の導電型チャンネルの第6のトランジスタとを有し、上記第1の正転出力端子と上記第1、第2および第5のトランジスタとの共通接続点が上記第3のトランジスタのゲートに接続され、上記第1の反転出力端子と上記第3、第4および第6のトランジスタとの共通接続点が上記第1のトランジスタのゲートに接続された第1のレベルシフトステージと、第2の正

転出力端子および第2の反転出力端子と、上記第1の電源電圧源と上記第1の正転出力端子との間に接続された第1の導電型チャンネルの第7のトランジスタと、上記第3の電源電圧源と上記第2の正転出力端子との間に接続された第2の導電型チャンネルの第8のトランジスタと、上記第3の電源電圧源と上記第2の反転出力端子との間に接続された第2の導電型チャンネルの第9のトランジスタと、上記第1の電源電圧源と上記第2の反転出力端子との間に接続された第1の導電型チャンネルの第10のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第2の正転出力端子との間に接続された第1の導電型チャンネルの第11のトランジスタと、上記第2または第4の電源電圧源のいずれかと上記第2の反転出力端子との間に接続された第1の導電型チャンネルの第12のトランジスタとを有し、上記第2の正転出力端子と上記第9、第10および第12のトランジスタとの共通接続点が上記第7のトランジスタのゲートに接続され、上記第2の反転出力端子と上記第9、第10および第12のトランジスタとの共通接続点が上記第8のトランジスタのゲートに接続された第2のレベルシフトステージとを備え、第1のレベルシフトステージの上記第1の正転出力端子が第2のレベルシフトステージの上記第10および第11のトランジスタのゲートに接続され、第1のレベルシフトステージの上記第1の反転出力端子が第2のレベルシフトステージの上記第7および第12のトランジスタのゲートに接続され、第1のレベルシフトステージの上記第4および第5のトランジスタのゲートが上記回路入力端子に接続され、上記第2および第6のトランジスタのゲートに上記入力端子への入力信号の反転信号が供給され、第2のレベルシフトステージの第2の正転出力端子または第2の反転出力端子のいずれかが上記回路出力端子に接続されている。

【0021】また、本発明では、上記第1の導電型チャンネルはNチャンネルであり、上記第2の導電型チャンネルにPチャンネルである。

【0022】本発明によれば、たとえば入力信号の論理レベルの切り替わりにより、第1のトランジスタと第6のトランジスタがオン状態にされ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、および第5のトランジスタがオフ状態にされる論理状態（このとき出力はHレベル）から、第4のトランジスタ、第5のトランジスタがオン状態にされ、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第6のトランジスタがオフ状態にされる論理状態へ切り替わるが、このとき第5のトランジスタがオンし、第4のトランジスタのゲート電位が下がり、第3のトランジスタが過渡的にオンすることにより、第4のトランジスタのドレイン（反転出力）の電位は上昇する。このとき、第2のトランジスタはそのゲート電位が上昇するので、一層正確に出力の電位を下げる働きをし、出力はLレベルに

なる。このレベルシフト回路では第5のトランジスタがオンするタイミングで、第3のトランジスタが過渡的にオンすることにより、より速く、より強力に第2のトランジスタのゲート電位が上昇する。このとこにより、このレベルシフト回路の変換遅延をなくし、回路動作を高速にし、また異電位回路間の電位差が大きい回路においてもそのインターフェースに用いることのできるレベルシフト回路になる。さらに、回路性能を上げる手段としてトランジスタの並列接続（たとえば、第1のトランジスタと第2のトランジスタの並列接続）を利用してい10るため（このレベルシフト回路にはトランジスタ縦積み三段以上の構成がないため）、低電圧動作に強い。そしてこの回路の性質上、使用しているトランジスタサイズを小さくしても前述した回路性能は損なわれないため、トランジスタ素子の数を減らすことはできないが、結果的に回路面積を小さくできる。なお、出力レベルがLレベルからHレベルに切り替わるときは、第1のトランジスタが、過渡的にオンし、前述した第3のトランジスタと同様の働きをする。また、たとえば第1および第4のトランジスタが第3の電源電圧より低い第1の電源電圧源に接続されていることから、このレベルシフト回路を昇圧回路に用いた場合に昇圧した側の電力を消費せず、昇圧効率が良くなる。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

第1実施形態

図1は、本発明に係るレベルシフト回路の第1の実施形態を示す回路図である。この図1において、本発明のレベルシフト回路10は、信号を送る側の送り（入力）側回路20とその信号を受ける側の受け（出力）側回路30との間に接続される。

【0024】レベルシフト回路10は、送り側回路20の第1の電源電圧（3ボルト）および第2の電源電圧である接地電圧で動作するインバータI11と、受け側回路30の第3の電源電圧（6ボルト）および第4の電源電圧である接地電圧で動作する四つのNMOSトランジスタNT11（第5のトランジスタ）、NT12（第6のトランジスタ）、NT13（第1のトランジスタ）、NT14（第6のトランジスタ）と、二つのPMOSトランジスタPT11（第2のトランジスタ）、PT12（第3のトランジスタ）により構成されている。

【0025】レベルシフト回路10の入力端子TINはNMOSトランジスタNT11、NT14のゲート、およびインバータI11の入力に接続されている。インバータI11の出力はNMOSトランジスタNT12およびNT13のゲートに接続されている。NMOSトランジスタNT13およびNT14のドレインは第1の電源電圧3Vの供給ラインに接続され、PMOSトランジスタPT11およびPT12のソースは第3の電源電圧6V

の供給ラインに接続されている。NMOSトランジスタNT11のソースは接地され、ドレインは出力端子TOUT、NMOSトランジスタNT13のソース、PMOSトランジスタPT11のドレイン、およびPMOSトランジスタPT12のゲートに接続されており、これらの接続点により第1のノードND11が構成されている。NMOSトランジスタNT12のソースは接地され、ドレインはNMOSトランジスタNT14のソース、PMOSトランジスタPT12のドレイン、およびPMOSトランジスタ12のゲートに接続されており、これらの接続点により第2のノードND12が構成されている。

【0026】入力（送り）側回路20は、第1の電源電圧3Vおよび第2の電源電圧（接地電圧）で動作し、一つのPMOSトランジスタPT21と一つのNMOSトランジスタNT21とを、3V電源と接地GNDとの間に直列に接続して構成されている。PMOSトランジスタPT21およびNMOSトランジスタNT21のゲートが信号SINの入力端子に接続されている。また、両トランジスタのドレイン同士の接続点がレベルシフト回路20の入力端子TINに接続されている。

【0027】出力（受け）側回路30は、第3の電源電圧6Vおよび第4の電源電圧（接地電圧）で動作し、一つのPMOSトランジスタPT31と一つのNMOSトランジスタNT31とを、6V電源と接地GNDとの間に直列に接続して構成されている。

【0028】このレベルシフト回路10では、回路構成上、PMOSトランジスタPT11とPMOSトランジスタPT12のゲートは、出力回路側電源電圧で駆動されているため、定常的な貫通電流は原理的に流れない。

30 また、回路はトランジスタ縦積み二段構成であるため（トランジスタ縦積み三段以上の構成が存在しないため）低電圧動作に強い。さらに、この構成ではトランジスタ素子数は少なくできないが、使用トランジスタサイズを小さくしても、その回路性能は損なわれないため、結果時にその回路面積を小さくできる。

【0029】次に、レベルシフト回路10の動作について説明する。まず、送り側回路20からHレベル（3ボルト）の信号が入力されると、NMOSトランジスタNT11およびNT14がオン状態となる。NMOSトランジスタNT14がオンすることにより、PMOSトランジスタPT11のゲート電位はやや上昇する。また、NMOSトランジスタNT11がオン状態にあることから、PMOSトランジスタPT12のゲート電位は下がり、そのドレインの電位は上昇する。このとき、PMOSトランジスタPT11は、そのゲート電位がさらに上昇するので、出力端子TOUTの電位を一層正確に下げる働きをし、出力端子TOUTにはLレベルの信号SOUTが50 出力されることになる。また、インバータI11はその入力電位が高いので、その出力は0ボルトとなり、NMOSトランジスタNT13およびNT12はオフ状態に

保持される。

【0030】ところで、NMOSトランジスタNT14は、そのソース電位(PMOSトランジスタPT11のゲート電位)が上がるにつれてゲート・ソース間電圧|V_{gs}|がしきい値電圧|V_{th}|より小さくなり、やがてオフ状態となる。つまりNMOSトランジスタNT14は論理レベルの切り替わりタイミングで過渡的にオンしている。ここでは、NMOSトランジスタNT11と同じタイミングで動作するNMOSトランジスタNT14の働きがこの回路の高速動作を可能にし、また動作電圧範囲を広くしている。さらに、NMOSトランジスタNT14は、ここで用いた他のトランジスタと比べそのサイズを小さくしても十分その結果を発揮できる。

【0031】次に、入力(送り)側回路20からLレベル(0ボルト)の信号が入力されると、NMOSトランジスタNT11がオフ状態となり、インバータI11では、レベルが反転されて出力電位が3ボルトとなる。すると、NMOSトランジスタNT13、NT12がオン状態になる。NMOSトランジスタNT13が過渡的にオンすることにより、PMOSトランジスタPT12のゲート電位がやや上昇する。NMOSトランジスタNT12がオン状態にあることにより、PMOSトランジスタPT11のゲート電位が下がり、これにより、出力端子TOUTにはHレベル(6ボルト)の信号SOUTが出力される。このときPMOSトランジスタPT12は、そのゲート電位が上昇するので、そのドレイン電位(PMOSトランジスタPT11のゲート電位)を一層正確に下げる働きをしている。この場合、NMOSトランジスタNT13の働きがこの回路の高速動作を可能にし、また動作電圧範囲を広くしている。さらに、NMOSトランジスタNT13は、ここで用いた他のトランジスタと比べそのサイズを小さくしても十分その効果を発揮できる。

【0032】このようなレベルシフト回路10によれば、回路面積をなるべく小さくしながら、信号レベル変換時の変換遅延が小さく高速動作が可能で、動作電圧範囲が広く、さらに低電圧動作にも対応でき、定常的な貫通電流も流れない低消費電力のレベルシフト回路が実現できる。また、NMOSトランジスタNT13、NT14のドレインが第3の電源電圧6Vより低い第1の電源電圧3Vの供給ラインに接続されていることから、このレベルシフト回路を昇圧回路に用いた場合に昇圧した側の電力を消費せず、昇圧効率が良くなる。

【0033】次に、本第1の実施形態に係るレベルシフト回路を、DC-DCコンバータ装置に適用した場合を例にして説明する。

【0034】図2はDC-DCコンバータ装置への適用例を示すブロック図である。このDC-DCコンバータ40は、入力端子TI41および出力端子T041を備え、ある直流電圧を受けて別の直流電圧に変換して出力する

ものである。

【0035】このDC-DCコンバータ40は、実際に電圧変換を行うチャージポンプ電圧コンバータ41と、帰還用誤差電圧を生成するコンパレータ42と、このコンパレータ42からの誤差電圧に基づいて内部クロックを生成するオシレータ43と、コンパレータ42からの誤差電圧および外部クロックに基づいてクロックを生成するオシレータ43と、これらオシレータ43または44で生成されたクロックから、立ち上がりおよび立ち下

10 がりのタイミングが異なるクロックを生成する二相クロック生成回路45と、異電圧インターフェースであるレベルシフタ46とから構成される。

【0036】このDC-DCコンバータ40への外付け素子として、チャージポンプ電圧コンバータ41に接続されたポンプキャパシタC41、出力端子T041に接続されたキャパシタC42、出力電圧を分圧してコンパレータ42の非反転入力(+)に供給する二つの抵抗素子R41、R42を有している。そして、コンパレータ42の反転入力(-)には基準電圧VREFが印加される。

【0037】ここで、入力端子TI41にはたとえば3ボルトの直流電圧を入力してたとえば6ボルトの直流電圧を出力端子T041に出力する。レベルシフタ46は、図1のレベルシフト回路10に対応し、破線で囲ったレベルシフタ46およびチャージポンプ電圧コンバータ41が出力電圧(6ボルト)で動作する部分であり、他のコンパレータ42、オシレータ43、44、および二相クロック生成回路45が入力端子TI41に供給された入力電圧(3ボルト)で動作する部分である。ただし、レベルシフタ46はレベルシフタ46への入力信号を反転させて反転入力信号を生成する3ボルト動作のインバータを含んでいる。

【0038】二相クロック生成回路45においては、3ボルトの波高値を有するクロックが生成され、このクロックが6ボルトの電源電圧で動作する部分に供給される。このとき、クロックを定常的な貫通電流が流れないレベルシフタ46を介して供給することにより、このレベルシフタ46での消費電流が抑えられる。またこのレベルシフタ46は、波高値レベル変換時の変換によるクロックの遅延がほとんどないため、二相クロック生成回路45において生成されたクロックのそれぞれの立ち上がりおよび立ち下がりのタイミングを正確に維持して6ボルトの電源電圧で動作する部分に供給し、チャージポンプ電圧コンバータ41の動作を正確に制御する。これらの理由により昇圧効率のよいDC-DCコンバータ装置を構成することができる。

【0039】第2実施形態

図3は、本発明に係るレベルシフト回路の第2の実施形態を示す回路図である。本第2の実施形態に係るレベルシフト回路50は、入力側および出力側の論理レベルの50 HおよびLの電位がそれぞれ異なる。

【0040】レベルシフト回路50は、入力を反転するインバータI51と、それぞれ並列接続されたNMOSトランジスタNT53(第1のトランジスタ)、PMOSトランジスタ(第2のトランジスタ)PT51、およびNMOSトランジスタ(第4のトランジスタ)NT54とPMOSトランジスタ(第3のトランジスタ)PT52と、それら並列接続されたトランジスタとそれぞれ直列接続されたNMOSトランジスタNT51(第5のトランジスタ)とNMOSトランジスタ(第6のトランジスタ)NT52とから構成されている。

【0041】レベルシフト回路50の入力端子TINはNMOSトランジスタNT51、NT54のゲート、およびインバータI51の入力に接続されている。インバータI51の出力はNMOSトランジスタNT52およびNT53のゲートに接続されている。NMOSトランジスタNT53およびNT54のドレインは第1の電源電圧Vaの供給ラインに接続され、PMOSトランジスタPT51およびPT52のソースは第3の電源電圧Vcの供給ラインに接続されている。NMOSトランジスタNT51のソースは第4の電源電圧Vdの供給ラインに接続され、ドレインは出力端子TOUT、NMOSトランジスタNT53のソース、PMOSトランジスタPT51のドレイン、およびPMOSトランジスタPT52のゲートに接続されており、これらの接続点により第1のノードND51が構成されている。NMOSトランジスタNT52のソースは第4の電源電圧Vdの供給ラインに接続され、ドレインはNMOSトランジスタNT54のソース、PMOSトランジスタPT52のドレイン、およびPMOSトランジスタPT52のゲートに接続されており、これらの接続点により第2のノードND52が構成されている。

【0042】このレベルシフト回路50の入力側回路60は、第1の電源電圧Va、第2の電源電圧Vb(ただし、 $Va > Vb$)によって動作し、一つのPMOSトランジスタNT61と、一つのNMOSトランジスタNT61とを第1の電源電圧Vaの供給ラインと第2の電源電圧Vbの供給ラインとの間に直列に接続して構成されている。PMOSトランジスタPT61およびNMOSトランジスタNT61のゲートが信号SINの入力端子に接続されている。また、両トランジスタのドレイン同士の接続点がレベルシフト回路50の入力端子TINに接続されている。

【0043】出力側回路70は、第3の電源電圧Vc、第4の電源電圧Vd(ただし、 $Vc > Vd$ 、 $Vd \geq Vb$ 、 $Vc \geq Va$)によって動作し、一つのPMOSトランジスタPT71と一つのNMOSトランジスタNT71とを、電源電圧Vcの供給ラインと電源電圧Vdの供給ラインとの間に直列に接続して構成されている。

【0044】このように、本第2に実施形態における入力側回路60は、第1および第2の電源電圧Va、Vb

(ただし、 $Va > Vb$)によって動作される。このため、レベルシフト回路60に供給される信号のHレベルはVa、LレベルVbになる。レベルシフト回路50およびその出力側回路70は第3および第4の電源電圧Vc、Vd(ただし、 $Vc > Vd$ 、 $Vd \geq Vb$ 、 $Vc \geq Va$)によって動作する。ただし、レベルシフト回路50におけるインバータI51は第1および第2の電源電圧Va、Vbで動作している。このため、レベルシフト回路50より供給される信号のHレベルはVc、LレベルはVdになる。

【0045】このような構成において、まず、入力側回路60の入力がHレベル($=Va$)の場合には、その出力電位V1はLレベル($=Vb$)になる。すると、レベルシフト回路50のインバータI51の出力がHレベル($=Va$)になり、NMOSトランジスタNT53、52がオン状態になる。NMOSトランジスタNT53がオンすることにより、PMOSトランジスタPT52のゲート電位はやや上昇する。NMOSトランジスタNT52がオン状態にあることにより、PMOSトランジスタPT51のゲート電位は下がる。これによりPMOSトランジスタPT51のドレインの電位は上昇し、出力端子TOUTにはHレベル($=Vc$)が出力される。このとき、PMOSトランジスタPT52はそのゲート電位がさらに上昇するので、そのドレイン電位(PMOSトランジスタPT51のゲート電位)を一層正確に下げる働きをしている。

【0046】ところで、NMOSトランジスタNT53はそのソース電位(出力端子TOUTの電位)が上がるにつれてゲート・ソース間電圧 $|Vgs|$ がしきい値電圧 $|Vth|$ より小さくなり、やがてオフ状態となる。つまりNMOSトランジスタNT53は論理レベルの切り替わりタイミングで過渡的にオンしている。ここでは、NMOSトランジスタNT52と同じタイミングで動作するNMOSトランジスタNT53の働きがこの回路の高速動作を可能にし、また動作電圧範囲を広くしている。

【0047】次に、入力側回路60の入力がLレベル($=Vb$)の場合には、その出力電位V1はHレベル($=Va$)になる。すると、レベルシフト回路50では、NMOSトランジスタNT51、NT54はオン状態になる。NMOSトランジスタNT54がオン状態になることにより、PMOSトランジスタPT51のゲート電位はやや上昇する。NMOSトランジスタNT51がオン状態にあることにより、PMOSトランジスタPT52のゲート電位は下がり、そのドレイン電位は上昇する。このとき、PMOSトランジスタPT51はそのゲート電位がさらに上昇するので、そのドレイン電位(PMOSトランジスタPT52のゲート電位)は下がり、レベルシフト回路50の出力を一層正確に下げる働きをし、このレベルシフト回路50からはLレベルの信

号が ($=V_d$) が出力される。また、インバータ I 5 1 はその入力が H レベル ($=V_a$) であるため、L レベル ($=V_b$) を出力し、NMOS ランジスタ NT 5 2 はオフ状態になっている。

【0048】ところで、NMOS ランジスタ NT 5 4 はそのソース電位 (PMOS ランジスタ PT 5 1 のゲート電位) が上がるにつれてゲート・ソース間電圧 $|V_{gs}|$ がしきい値電圧 $|V_{th}|$ より小さくなり、やがてオフする。つまり NMOS ランジスタ NT 5 4 は論理レベルの切り替わりタイミングで過渡的にオンしている。ここでは、NMOS ランジスタ NT 5 1 と同じタイミングで動作する NMOS ランジスタ NT 5 4 の働きがこの回路の高速動作を可能にし、また動作電圧範囲を広くしている。

【0049】なお、このレベルシフト回路 5 0 を集積化して製造する場合、ここで使用されているトランジスタの基板電位をそれぞれのソースに接続して使用することもできる。また、出力側回路 7 0 の電源電圧として、 $V_c \geq V_a$ である場合について説明したが、必ずしもこれに限られるものではなく、 $V_c \leq V_a$ の関係にある回路に使用しても何ら差し支えしない。さらに NMOS ランジスタ NT 5 4、NT 5 2 と PMOS ランジスタ PT 5 2 の共通の接続点 (反転出力) をレベルシフト回路 5 0 の出力として用いることもできる。

【0050】また、NMOS ランジスタ NT 5 3、NT 5 4 のドレインを第 3 の電源電圧 6 V より低い第 1 の電源電圧 3 V の供給ラインに接続されていることから、このレベルシフト回路を昇圧回路に用いた場合に昇圧した側の電力を消費せず、昇圧効率が良くなる。

【0051】第3実施形態

図 4 は、本発明に係るレベルシフト回路の第 3 の実施形態を示す回路図である。このレベルシフト回路 8 0 は、この構成例は、負側に大きい電圧で動作するロジック回路を駆動する場合の構成例を示している。

【0052】レベルシフト回路 8 0 は、入力を反転するインバータ I 8 1 と、それぞれ並列接続された NMOS ランジスタ NT 8 1 (第 1 のトランジスタ)、PMOS ランジスタ (第 2 のトランジスタ) PT 8 1、および NMOS ランジスタ (第 3 のトランジスタ) NT 8 2 と PMOS ランジスタ (第 4 のトランジスタ) PT 8 2 と、それら並列接続されたトランジスタとそれぞれ直列接続された PMOS ランジスタ (第 5 のトランジスタ) PT 8 3 と PMOS ランジスタ (第 6 のトランジスタ) PT 8 4 とから構成されている。

【0053】レベルシフト回路 8 0 の入力端子 TIN は PMOS ランジスタ PT 8 2、PT 8 3 のゲート、およびインバータ I 8 1 の入力に接続されている。インバータ I 8 1 の出力は PMOS ランジスタ NT 8 1 および PT 8 4 のゲートに接続されている。NMOS ランジスタ NT 8 1、NT 8 2 のソースは第 4 の電源電圧 Vd

の供給ラインに接続され、PMOS ランジスタ PT 8 1、PT 8 2 のドレインは第 2 の電源電圧 Vb の供給ラインに接続されている。PMOS ランジスタ PT 8 3 のソースは第 3 の電源電圧 Vc の供給ラインに接続され、ドレインは出力端子 TOUT、NMOS ランジスタ NT 8 1 のドレイン、PMOS ランジスタ PT 8 1 のソース、および NMOS ランジスタ NT 8 2 のゲートに接続されており、これらの接続点により第 1 のノード ND 8 1 が構成されている。PMOS ランジスタ PT 10 8 4 のソースは第 3 の電源電圧 Vc の供給ラインに接続され、ドレインは NMOS ランジスタ NT 8 2 のドレイン、PMOS ランジスタ PT 8 2 のソース、および NMOS ランジスタ NT 8 1 のゲートに接続されており、これらの接続点により第 2 のノード ND 8 2 が構成されている。

【0054】このレベルシフト回路 8 0 の入力側回路 6 0 および出力側回路 7 0 については、図 3 のものと同じ構成である。したがって、入力側回路 6 0 は第 1 および第 2 の電源電圧 Va、Vb (ただし、 $V_a > V_b$) によって動作されており、レベルシフト回路 8 0 およびその出力側回路 7 0 は、第 2、第 3 および第 4 の電源電圧 Vb、Vc、Vd (ただし、 $V_c > V_d$ 、 $V_a \geq V_c$ 、 $V_b \geq V_d$) によって動作されている。ただし、レベルシフト回路 8 0 におけるインバータ I 8 1 は第 1 および第 2 の電源電圧 Va、Vb で動作している。

【0055】このように、負側に大きい電圧 ($=V_d$) で動作する出力回路を駆動する場合、レベルシフト回路 8 0 への入力電圧 V 1 が L レベル ($=V_b$) のとき、PMOS ランジスタ PT 8 3 と PMOS ランジスタ PT 8 2 はオン状態となる。PMOS ランジスタ PT 8 2 がオン状態になることにより、NMOS ランジスタ NT 8 1 のゲート電位はやや下降する。また、PMOS ランジスタ PT 8 3 がオン状態にあることにより、PMOS ランジスタ PT 8 3 のドレン電位は上がり、レベルシフト回路 8 0 からは H レベル ($=V_c$) の信号が出力される。このとき、NMOS ランジスタ NT 8 2 はそのゲート電位がさらに上昇するので、そのドレン電位 (NMOS ランジスタ NT 8 1 のゲート電位) を一層正確に下げる働きをしている。また、インバータ I 8 1 はその入力が L レベル ($=V_b$) であるため、インバータ I 8 1 からは H レベル ($=V_a$) の信号が出力され、PMOS ランジスタ PT 8 1、PT 8 4 はオフ状態になっている。

【0056】ところで、PMOS ランジスタ PT 8 2 はそのソース電位 (NMOS ランジスタ NT 8 1 のゲート電位) が下がるにつれてゲート・ソース間電圧 $|V_{gs}|$ がしきい値電圧 $|V_{th}|$ より小さくなり、やがてオフする。つまり PMOS ランジスタ PT 8 2 は論理レベルの切り替わりタイミングで過渡的にオンしている。ここでは、PMOS ランジスタ PT 8 3 と同じタ

イミングで動作するPMOSトランジスタPT82の働きがこの回路の高速動作を可能にし、また動作電圧範囲を広くしている。

【0057】V1がHレベル(=Va)のときも、同様な回路動作により、レベルシフト回路80からはLレベルの信号が出力される。すなわち、レベルシフト回路80への入力電圧V1がHレベル(=Va)のとき、インバータI81の出力がLレベル(=Vb)となり、PMOSトランジスタPT81、PT84がオン状態になる。PMOSトランジスタPT81がオン状態になるとにより、NMOSトランジスタNT82のゲート電位はやや下降する。また、PMOSトランジスタPT84がオン状態にあることにより、PMOSトランジスタPT84のドレイン電位は上がり、NMOSトランジスタNT81はオン状態となり、レベルシフト回路80からはLレベル(=Vd)の信号が出力される。このとき、NMOSトランジスタNT82はそのゲート電位がさらに下降するので、そのドレイン電位(NMOSトランジスタNT81のゲート電位)を一層正確に引き下げる働きをしている。このとき、PMOSトランジスタPT84と同じタイミングで動作するPMOSトランジスタPT81の働きがこの回路の高速動作を可能にし、また動作電圧範囲を広くしている。

【0058】なお、このレベルシフト回路80を集積化して製造する場合、ここで使用されているトランジスタの基板電位をそれぞれのソースに接続して使用することもできる。また、出力側回路の電源電圧として、Vb \geq Vdである場合について説明したが、必ずしもこれに限られるものではなく、Vb \leq Vdの関係にある回路に使用しても何ら差し支えない。さらにPMOSトランジスタPT82、PT84とNMOSトランジスタNT82の共通の接続点(反転出力)をレベルシフト回路80の出力として用いることもできる。

【0059】第4実施形態

図5は、本発明に係るレベルシフト回路の第4の実施形態を示す回路図である。図5のレベルシフト回路100は、図3で示したレベルシフト回路50と図4で示したレベルシフト回路80とを組み合わせた形で構成したレベルシフト回路である。この構成例は、正負いずれの側にも大きい電圧で動作するロジック回路を駆動する場合を示している。

【0060】レベルシフト回路100は、正側に大きい電圧で動作するロジック回路を駆動するためのレベルシフトステージ50の入力を、このレベルシフト回路100の入力端子TINとし、レベルシフトステージ50の正転出力端子T51、反転出力端子T52を負側に大きい電圧で動作するロジック回路を駆動するためのレベルシフトステージ80aの正転入力端子T81、反転入力端子T82にそれぞれ接続して、レベルシフトステージ80aの出力を、このレベルシフト回路100の出力端子

TOUTとして構成されている。なお、図5のレベルシフト100で用いられているレベルシフトステージ80aにおいては前段の反転出力を受けていることからインバータI81は設けられていない。

【0061】このレベルシフト回路100の入力側回路60および出力側回路70については、図3および図4のものと同じ構成である。したがって、入力側回路60は第1および第2の電源電圧Va、Vb(ただし、Va $>$ Vb)によって動作されており、出力側回路70は第

10 3および第4の電源電圧Vc、Vd(ただし、Vc $>$ Vd、Vc \geq Va、Vb \geq Vd)によって動作されている。レベルシフト回路100の中のレベルシフトステージ50は、第1、第3および第4の電源電圧Va、Vc、Vdで動作され、レベルシフトステージ80aは、第2、第3および第4の電源電圧Vb、Vc、Vdで動作されている。ただし、レベルシフトステージ50におけるインバータI51は、第1および第2の電源電圧Va、Vbによって動作されている。

【0062】このような構成によれば、レベルシフトステージ50へ入力電圧V1がHレベル(=Va)で入力されたとき、まず、レベルシフトステージ50が図3で説明した回路動作と同様にして出力端子T51にLレベル(=Vd)の信号が出力され、これがレベルシフトステージ80aの正転入力端子T81に入力される。

【0063】すなわち、入力電圧V1がHレベル(=Va)で入力されたとき、レベルシフト回路ステージのインバータI51の出力がLレベル(=Vb)になり、NMOSトランジスタNT51、NT54はオン状態になる。NMOSトランジスタNT54がオン状態になることにより、PMOSトランジスタPT51のゲート電位はやや上昇する。NMOSトランジスタNT51がオン状態にあることにより、PMOSトランジスタPT52のゲート電位は下がり、そのドレイン電位は上昇する。

このとき、PMOSトランジスタPT51はそのゲート電位がさらに上昇するので、そのドレイン電位(PMOSトランジスタPT52のゲート電位)は下がり、レベルシフトステージ50の出力を一層正確に下げる働きをし、このレベルシフトステージ50からはLレベルの信号が(=Vd)が出力端子T51から次段のレベルシフ

40 トステージ80aの入力端子T81に出力される。また、反転出力端子T52にはHレベル(=Vc)の信号が出力され、これがレベルシフトステージ80aの反転入力端子T82に入力される。

【0064】そして、図4で説明した回路動作と同様にしてレベルシフトステージ80aからは出力端子TOUTにHレベル(=Vc)の信号が出力される。すなわち、正転入力端子T81にLレベル(=Vd)の信号が入力され、反転入力端子T82にHレベル(=Vc)の信号が入力されることから、PMOSトランジスタPT83とPMOSトランジスタPT82はオン状態となり、P

MOSトランジスタPT81とPMOSトランジスタPT84はオン状態となる。PMOSトランジスタPT82がオン状態になることにより、NMOSトランジスタNT81のゲート電位はやや下降する。また、PMOSトランジスタPT83がオン状態になることにより、PMOSトランジスタPT83のドレイン電位は上がり、レベルシフトステージ80aからはHレベル($=V_c$)の信号が出力され、回路出力端子TOUTから出力される。

【0065】レベルシフトステージ50への入力電圧 V_1 がLレベル($=V_b$)が入力されたときは、まず、レベルシフトステージ50が図3で説明した回路動作と同様にして正転出力端子T51にHレベル($=V_c$)の信号が出力され、これがレベルシフトステージ80aの正転入力端子T81に入力され、また、反転出力端子T106にはLレベル($=V_d$)が出力され、これがレベルシフトステージ80aの反転入力端子T82に入力される。

【0066】すなわち、レベルシフトステージ50において、インバータI51の出力がHレベル($=V_a$)になり、NMOSトランジスタNT53、52がオン状態になる。NMOSトランジスタNT53がオンすることにより、PMOSトランジスタPT52のゲート電位はやや上昇する。NMOSトランジスタNT52がオン状態であることにより、PMOSトランジスタPT51のゲート電位は下がる。これによりPMOSトランジスタPT51のドレインの電位は上昇し、Hレベル($=V_c$)の信号が正転出力端子T51から次段のレベルシフトステージ80aの正転入力端子T81に出力される。また、反転出力端子T52にはLレベル($=V_d$)の信号が出力され、これがレベルシフトステージ80aの反転入力端子T82に入力される。

【0067】そして、図4で説明した回路動作と同様にしてレベルシフト回路80aからは出力端子TOUTにLレベル($=V_d$)の信号が出力される。すなわち、正転入力端子T81にHレベル($=V_c$)の信号が入力され、反転入力端子T82にLレベル($=V_d$)の信号が入力されることから、PMOSトランジスタPT81、PT84がオン状態になり、PMOSトランジスタPT82、PT83がオフ状態になる。PMOSトランジスタPT81がオン状態になることにより、NMOSトランジスタNT82のゲート電位はやや下降する。また、PMOSトランジスタPT84がオン状態になることにより、PMOSトランジスタPT84のドレイン電位は上がり、NMOSトランジスタNT81はオン状態となり、レベルシフトステージ80aからはLレベル($=V_d$)の信号が出力される。

【0068】なお、このレベルシフト回路100を集積化して製造する場合、ここで使用されているトランジスタの基板電位をそれぞれのソースに接続して使用するこ

ともできる。また、出力側回路の電源電圧として、 $V_b \geq V_d$ 、 $V_c \geq V_a$ である場合について説明したが、必ずしもこれに限られるものではなく、 $V_b \leq V_d$ または、 $V_c \leq V_a$ の関係にある回路に使用しても何ら差し支えない。さらに、レベルシフト回路100はレベルシフトステージ80aの入力をこの回路100の入力とし、レベルシフトステージ80aの出力、反転出力をレベルシフトステージ50の入力、反転入力とそれぞれ接続して、レベルシフトステージ50の出力をこの回路1

10 00の出力として構成することもできる。この場合には、レベルシフトステージ80aは図4の回路と同様にインバータI81が設けられた構成となり、レベルシフトステージ50は図3の回路からインバータI51を削除した構成となる。また、図1の回路を複数段接続する構成や図3の回路を複数段接続する構成等の態様も可能である。

【0069】

【発明の効果】以上説明したように、本発明によれば、入力信号のレベル変換時に変換遅延がほとんどなく、動作原理的に定常的な貫通電流が流れる低消費電力で、動作電圧範囲が広いレベルシフト回路を実現できる利点がある。

【0070】また、第1の導電型チャンネルにNチャンネルトランジスタ、第2の導電型チャンネルにPチャンネルトランジスタを用いた場合、回路性能を向上させるために用いる互いに並列接続されたPチャンネルトランジスタとNチャンネルトランジスタは、その回路性能を損なうことなくサイズを小さくできるので、従来回路と比べ、トランジスタ素子数は減らすことはできないが結果的に、回路面積を小さくできる。さらに、回路の基本構成が並列接続を含むトランジスタ縦積み二段の直列接続構造であるため、基本構造がトランジスタ縦積み三段の直列接続構造であるレベルシフト回路などと比べるとはるかに低電圧動作に強い。

【0071】また、第1および第4のトランジスタを第1の電源電圧、あるいは第2および第4のトランジスタを第2の電源電圧の供給ラインに接続しているので、このレベルシフト回路を昇圧回路に用いた場合に昇圧した側の電力を消費せず、昇圧効率が良くなる。

40 【図面の簡単な説明】

【図1】本発明に係るレベルシフト回路の第1の実施形態を示す回路図である。

【図2】本発明に係るレベルシフト回路のD C-D Cコンバータ装置への適用例を示すブロック図である。

【図3】本発明に係るレベルシフト回路の第2の実施形態を示す回路図である。

【図4】本発明に係るレベルシフト回路の第3の実施形態を示す回路図である。

【図5】本発明に係るレベルシフト回路の第4の実施形態を示す回路図である。

【図6】従来のレベルシフト回路の一例を示す回路図である。

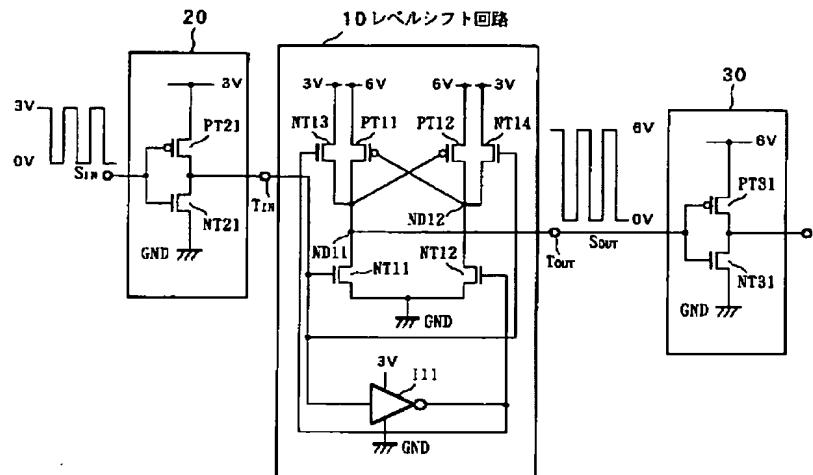
【図7】従来のレベルシフト回路の別の例を示す回路図である。

【符号の説明】

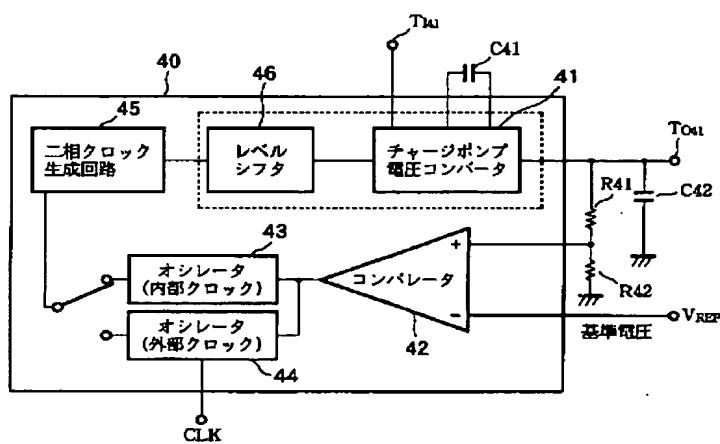
10, 50, 80, , 80a, 100…レベルシフト回路、PT11, PT12, PT51, PT52, PT8

1~PT84, PT21, PT61, PT71…PMOSトランジスタ、NT11~NT14, NT51~NT54, NT81, NT82, NT21, NT61, NT71…NMOSトランジスタ、ND11, ND51, ND81…第1のノード、ND12, ND52, ND82…第2のノード、20, 60…入力(送り)側回路、30, 70…出力(受け)側回路。

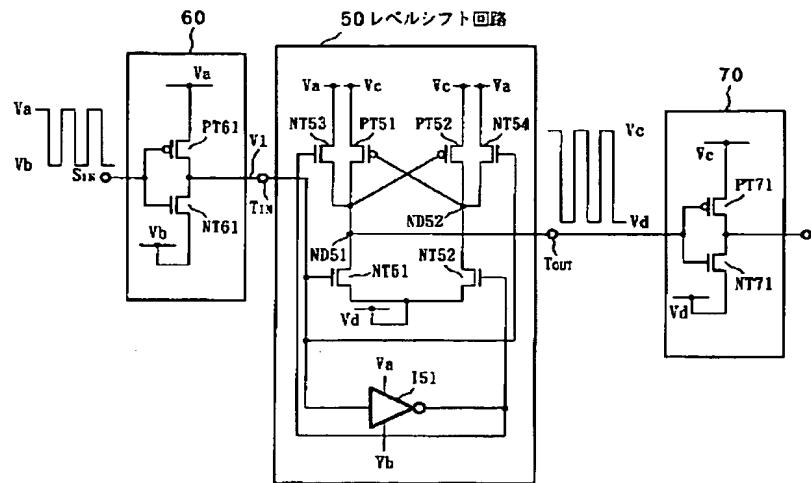
【図1】



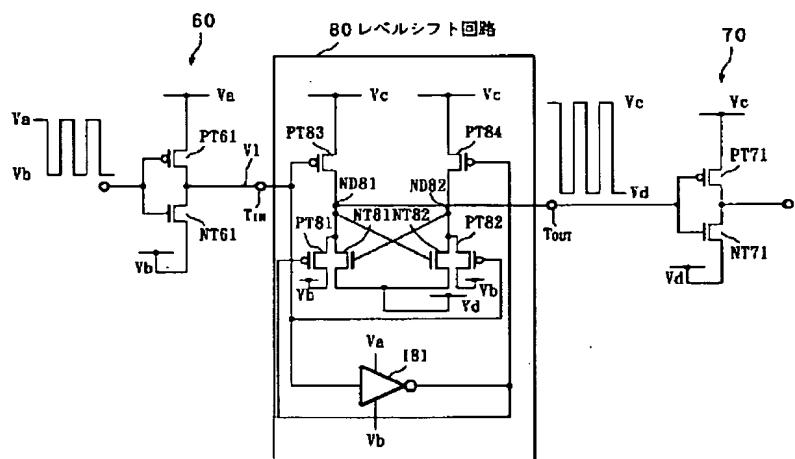
【図2】



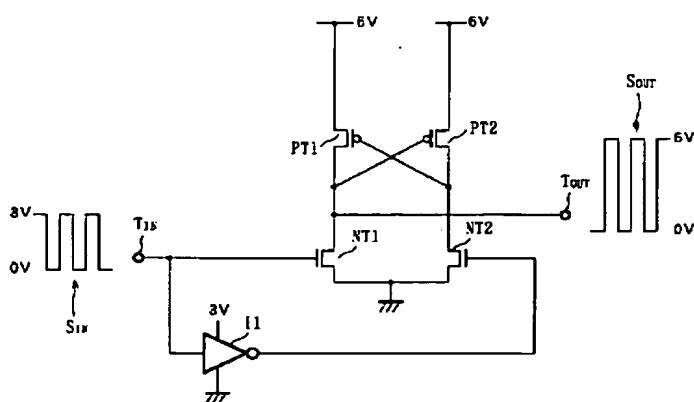
【図3】



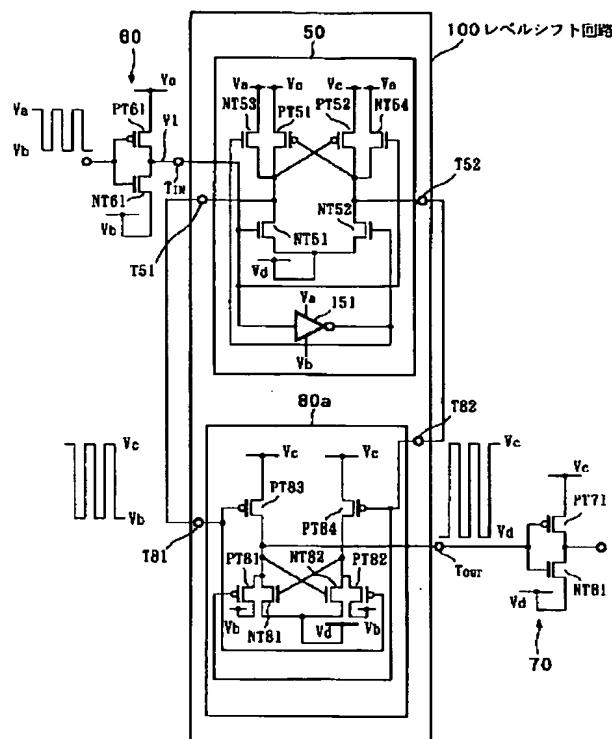
【図4】



【図6】



【図5】



【図7】

